

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-97831

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl. ⁶	識別記号	F I
H03M 1/82	9065-5J	
1/86	9065-5J	

審査請求 未請求 請求項の数1 (全4頁)

(21)出願番号 特願平3-355132

(22)出願日 平成3年(1991)12月19日

(71)出願人 000191272

テクノエース株式会社

愛知県名古屋市千種区大久手町7丁目1番地

(72)発明者 関谷 守

愛知県岩倉市八剣町長野1番地 テクノエース株式会社内

(72)発明者 工藤 洋一

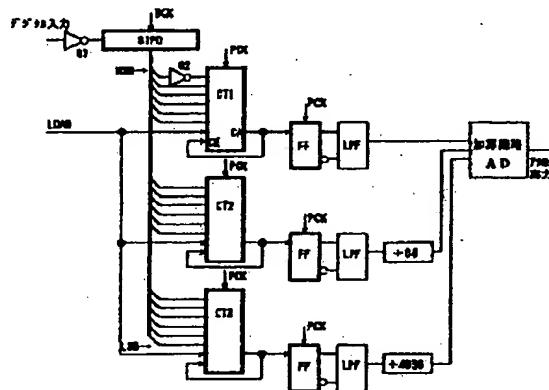
愛知県岩倉市八剣町長野1番地 テクノエース株式会社内

(54)【発明の名称】 デジタル／アナログ変換器

(57)【要約】

【目的】 デルタ・シグマ変調方式を採用することなく、ダイレクトにデジタル・データを1ビットデジタル／アナログ変換することで、高性能、高安定に加えて高品質なデジタル／アナログ変換回路を実現することを課題とする。

【構成】 Nビットのデジタル・データをm個のグループに分割し、その範囲内でとりうるデータの値に応じた一定振幅のパルス信号の幅又は密度を時間制御にて変化させ変調し、変調後の信号を分割したグループ単位に重み付けし、合成することで、デジタル・アナログ変換を行なう。



【特許請求の範囲】

【請求項1】 Nビットのデジタル・データをm個のグループに分割し、その範囲内でとりうるデータの値に応じた一定振幅のパルス信号の幅又は密度を時間制御にて変化させ変調し、変調後の信号を分割したグループ単位に重み付けし、合成することで、デジタル・アナログ変換を行なうことを特徴とするデジタル/アナログ変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、各種デジタルオーディオ機器に於けるデジタル/アナログ変換器に関する。

【0002】

【従来の技術】 従来の高精度デジタル/アナログ変換器としては、デルタ・シグマ変調方式による1ビットデジタル/アナログ変換器が代表的な存在である。これは、デジタル・データを一定振幅のパルス幅又はパルス密度に変換するものであり、パルスの幅又は密度は、高精度なタイミング発生回路（クロック）によってデジタル回路にて生成されるため、極めて高精度、高安定なデジタル/アナログ変換を実現している。

【0003】 しかしながら、デルタ・シグマ変調器は、デジタル・データをダイレクトにパルス幅又は密度に変換している訳ではない。ダイレクトに変換する場合、CDプレーヤの場合を例にとると、量子化ビット数16ビット、サンプリング周波数44.1kHzであり、22.6757μs (1/44.1kHz) の時間内に2¹⁶ (=65536) 通りの制御が必要となる。もし、これをパルス幅に変換することを考えると

$$44.1\text{kHz} \times 2^{16} = 2.89\text{GHz}$$

にも及ぶタイミング発生器とこの速度に追従動作する論理回路が必要であり、とうてい現実的ではない。

【0004】 デルタ・シグマ変調器の基本は、非常に低ビット（1～4ビット）のデジタル/アナログ変換器を使用し、この分解能が低いが生ずる再量子化雑音を遅延器を通して再度入力部に帰還させ、再量子化雑音の周波数分布を高域に集中させることで可聴帯域内の分解能の向上を計るものであり、数10MHz程度のクロック速度で動作させているのが一般的である。換言すれば、低分解能のデジタル/アナログ変換器による誤差成分を常時補正して動作させる構成であり、前述したように周波数一定の静特性に於いては、高性能を発揮する。しかし、過去の誤差成分が常に帰還されているため、ダイナミックな特性、例えば単発的なデジタル・ゼロが入力されても出力は、すぐには追従できず、ノイズとなって発生（ハンティング現象）してしまい、音質的には高品質とは云えない。

【0005】

【発明が解決しようとする課題】 本発明は、デルタ・シグマ変調方式を採用することなく、ダイレクトにデジタル・データを1ビットデジタル/アナログ変換すること

で、高性能、高安定に加えて高品質なデジタル/アナログ変換回路を実現することを課題とする。

【0006】

【課題を解決するための手段】 上記課題を解決すべく、

【0007】 本発明に係わる一のデジタル/アナログ変換器は、Nビットのデジタル・データをm個のグループに分割し、その範囲内でとりうるデータの値（2m個）に応じた一定振幅のパルス信号の幅又は密度を時間制御にて変化させ変調し、変調後の信号を分割したグループ単位に重み付けし、合成することで、デジタル・アナログ変換を実現することを特徴とする。

【0008】

【発明の作用・効果】 デジタル信号処理回路からのNビットのデジタル・データをm個のグループに分割し、デジタル・データのとりうる組み合わせ数を減少させる。そして、分割されたグループ単位にデジタル・データをダイレクトに一定振幅のパルスの幅又は密度に変調し、各々のグループの変調後の信号を分割に応じた重み付けを付加して合成するようにしたものである。

【0009】 これにより、ハンティング現象の発生しない1ビットデジタル/アナログ変換器を構成することができ、従来のデルタ・シグマ変調による1ビットデジタル/アナログ変換器の高精度・高安定に加え、高品質なデジタル/アナログ変換を実現することができる。

【0010】

【実施例】 以下、この発明の実施例を図面に基いて説明する。

【0011】 実施例 (図1)

この実施例は、本発明に係わるデジタル/アナログ変換器に関するものである。

【0012】 図1は、デジタル信号処理回路（デジタル・フィルタ回路も含む。）からの18ビットのデジタル信号を3個のグループに分割し、ダイレクトにパルス幅変調する場合の例である。

【0013】 デジタル信号処理回路（図示せず）からのシリアルなデジタル・データは、ゲートG1により極性反転されて、S I P O（シリアル・イン パラレル・アウト）レジスタに取り込まれる。このときのS I P Oレジスタのシフト・クロックBCKは、サンプリング周波数のビット数倍以上であればよい。

【0014】 S I P Oレジスタにセットされたサンプリング毎のデータは、その後、3組の6ビットのバイナリーカウンタ回路CT1～CT3に並列にLOAD信号によりセットされ、最上位符号ビットMSBのみ極性反転されてセットされ、カウンタ・クロックPCKにより、カウント・インクリメント動作を開始する。このとき、各カウンタ回路のキャリーアウト信号CAは、6ビットの状態が、全て“1”で論理“1”を出力する信号であり、パルス幅変調出力信号となる。また、同キャリーアウト信号CAは、カウンタ回路のカウント・イネーブル

入力信号CEにも接続され、カウント・イネーブル入力信号CE入力論理が"1"のとき、カウント動作を停止する制御信号としても機能する。

【0015】例えば、バイナリーカウンタ回路CT3の6ビットの元の信号が、000011としたとき、SIPOレジスタに取り込まれるデータは、ゲートG1によ

111100 → 111101 → 111110 → 111111

と変化すると同時に、キャリアアウト信号CAも

0 → 0 → 0 → 1

に変化し、キャリアアウト信号CAが"1"になった時点でカウント・イネーブル入力信号CEも"1"に変化することで、以降のカウント動作を停止する。

【0016】即ち、キャリアアウト信号CAは、LOADパルスが、入力されるまでは、常に"1"に保持されることになり、上記の例では、000011(10進で"3")の入力により、キャリアアウト信号CAには、カウンタ・クロックPCK 3発分の"0"レベルが得られる。

【0017】以上、同様に6ビットのデジタル値に対応して、キャリアアウト信号CAはカウンタ・クロックPCK 0発～63発分の"0"レベルを幅とするパルスを出力することになり、パルス幅変調が実施される。よって、カウンタ・クロックPCKは、サンプリング周波数の64倍以上であればよい。

【0018】尚、ゲートG2による最上位符号ビットMSBの論理反転の目的は、デジタル・オーディオの符号形式が2の補数表示であり、このままでは、位相反転してしまうのを避けるため、最上位符号ビットMSBのみを反転して、オフセット・バイナリに変換している。

【0019】図1に於いて、CT1～CT3は、インクリメント・カウンタを使用しているが、デクリメント・カウンタに変更した場合でも、ゲートG1を削除し類似の回路構成により上記作用を実現できることは言うまでもない。また、図1では、6ビットに分割した場合を示したが、回路を構成する上で、動作しうるクロック・スピードに応じて、分割のビット数が決定されることも言うまでもない。

【0020】以上のようにして得られた3組のパルス幅変調出力は、一度フリップフロップFFによって波形整形された後、ローパス・フィルタLPFを介して、各グループに対応した重み付けをされた後に加算回路ADにて合成される。図1の例では、6ビットに3分割してい

り、111100となり、バイナリーカウンタ回路CT3にロードされる。このとき、バイナリーカウンタ回路CT3のキャリアアウト信号CA出力は、"0"となり、同時にカウント・イネーブル入力信号CE入力も"0"でカウンタ・クロックPCKによるカウント・インクリメント動作がイネーブルされ、

るため、最上位のグループの重み付けを×1倍としたとき、中間位グループの重み付けは×(1/64)倍となり、最下位のグループの重み付けは×(1/4096)倍となる。

【0021】また、出力をパルスの幅変調ではなく、パルスの密度で変調する場合でも、キャリアアウト信号CAの論理値とカウンタ・クロックPCKにより、容易に作成することができる。

【0022】以上、本発明によれば、ハンテイング現象の発生しない1ビットデジタル/アナログ変換器を構成することが可能であり、従来のデルタ・シグマ変調による1ビットデジタル/アナログ変換器の高精度・高安定に加え、高品質なデジタル/アナログ変換を実現できる。

【図面の簡単な説明】

【図1】実施例に係わるデジタル/アナログ変換器の構成図

【符号の説明】

SIPO	SIPO (シリアル・イン パラレル・アウト) レジスタ
G1、G2	ゲート
CT1、CT2、CT3	バイナリーカウンタ回路
BCK	シフト・クロック
PCK	カウンタ・クロック
CA	キャリアアウト信号
CE	カウント・イネーブル入力
FF	フリップフロップ
LPF	ローパス・フィルタ
AD	加算回路
MSB	最上位符号ビット
LSB	最下位符号ビット

【図 1】

